

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087332

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01L 21/312

H01L 21/316

H01L 21/3205

H01L 21/768

(21)Application number : 09-237385

(71)Applicant : NEC CORP

(22)Date of filing : 02.09.1997

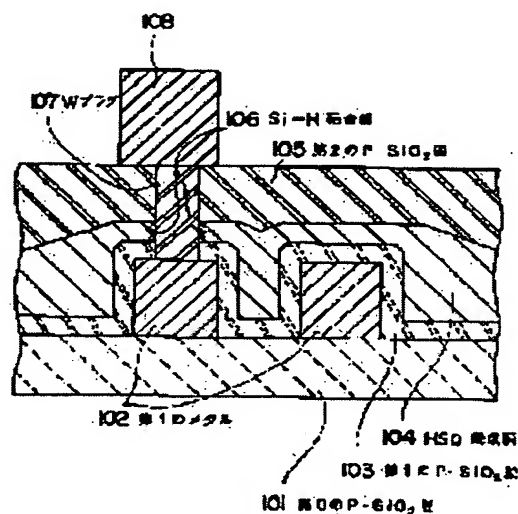
(72)Inventor : USAMI TATSUYA

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the stability of a multilayered interconnecting structure, especially that of through hole resistance and the dielectric constant of a low dielectric constant film, by covering a region between the wirings and their upper parts with an SOG directly or through an inorganic film and preventing the SOG contacting the through hole part of the wiring from having Si-OH bonding.

**SOLUTION:** On a first metal 102 on a zeroth P-SiO<sub>2</sub> film 101, a first P-SiO<sub>2</sub> film 103 is formed for 500-1000 Å, and an SOG (HSQ) baked film 104 is applied on the film 103. A second P-SiO<sub>2</sub> film 105 is formed on the film 104 and is planarized by CMP. A second metal 108 is formed on the film 105 and a W plug 107 is formed for connecting the first metal 102 with the second metal 108. Especially at the HSQ part on the via hole side face, an Si-H bonding part 106 exists and there is no Si-OH bonding. The first and the second metals 102 and 108 are composed of Al or Cu and it may contain an impurity such as Cu, Si and Pd.



## LEGAL STATUS

[Date of request for examination] 02.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3226021

[Date of registration] 31.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-87332

(43)公開日 平成11年(1999) 3月30日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/312  
21/316  
21/3205  
21/768

H 0 1 L 21/312  
21/316  
21/88  
21/90

N  
P  
K  
B  
A

審査請求 有 請求項の数 5 O L (全 5 頁) 最終頁に続く

(21)出願番号

特願平9-237385

(22)出願日

平成9年(1997) 9月2日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株式会社社内

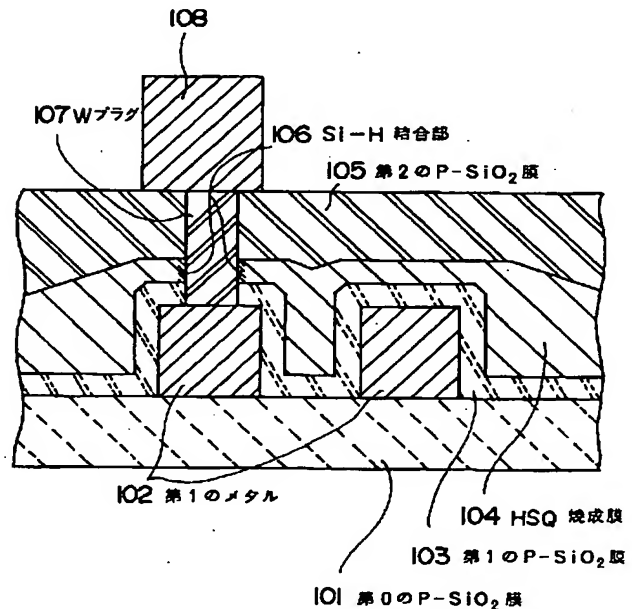
(74)代理人 弁理士 後藤 洋介 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 SOGを用いたビア開口工程でレジストをO<sub>2</sub> アッシングした時のダメージでSOGむき出し部がSi-OH結合を生じるのを低減させる。

【解決手段】 SOGむき出し部がO<sub>2</sub> プラズマにさらされた後にH<sub>2</sub> プラズマをさらすことにより、Si-OH結合部をSi-H結合部106に変える。



## 【特許請求の範囲】

【請求項 1】 半導体素子を有する半導体基板上に絶縁膜を介して複数の配線が配設され、前記配線間及びその上部が SOG に直接または無機絶縁膜を介して覆われ、配線のスルーホール部に接する SOG が Si-OH 結合を持たないようにしたことを特徴とする半導体装置。

【請求項 2】 半導体基板上に第 1 の金属配線を形成する工程と、  
その上部に SOG を塗布、焼成する工程と、  
その上に無機絶縁膜を形成する工程と、  
前記第 1 の金属配線に開口するためレジストを塗布露光、現像する工程と、  
前記無機絶縁膜及び前記 SOG をエッチングする工程と、  
レジストを O<sub>2</sub> アッシング及びウェット剥離にて除去する工程と、  
少なくとも水素分子を含むプラズマにさらす工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】 前記 SOG が水素化シルセスキオキサン及び、メチルシルセスキオキサン、有機 SOG、ポリシラザンのうちの少なくとも一つであることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記少なくとも水素分子を含むプラズマが PH<sub>3</sub> である請求項 2 あるいは 3 記載の半導体装置の製造方法。

【請求項 5】 前記少なくとも水素分子を含むプラズマが B<sub>2</sub>H<sub>6</sub>、CH<sub>4</sub>、C<sub>2</sub>H<sub>6</sub> のなかの少なくとも 1 つからえらばれる請求項 2 あるいは 3 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置及び半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 近年、半導体集積回路は、微細化が進んでおり、特に論理回路においての多層配線では、その傾向が顕著に見られる。多層配線のメタル配線間隔が、微細になってくると、メタル配線間に発生するクロストーク（配線信号が隣の配線にのってしまう現象）の問題が起ってくる。その防止対策としては、配線間絶縁膜に低誘電率の絶縁膜を使用すると効果があり、種々な低誘電率材料のデバイスへの試行が報告されている。

【0003】 その中で、無機膜で低誘電率化が可能な HSQ（ハイドロジェンシルセスキオキサン）ポリマーが注目されている。

【0004】 この材料は通常、塗布により形成される。HSQ を含有する溶液をたとえば、スピンコーティングで塗布し、その後窒素雰囲気中でホットプレートなどにより 250～350℃ の高温でバークすると流動性を示し、平坦性が向上する。それをさらに窒素雰囲気中で炉

などにより 400℃ で 30 分から 1 時間のキュアを実施することで絶縁膜として使用する。

【0005】 しかしながら、本塗布液にて形成される絶縁膜は、O<sub>2</sub> プラズマなどの処理により、膜中に持つ Si-H 結合が減少し、Si-OH 結合が発生することが第 43 回応用物理学会論文集 654 頁の 26a-N-6（1996 年 4 月、宮永、佐々木、亀岡、森山、佐々木）に『HSQ の誘電率評価』と題して示されている。この Si-OH 結合は、吸湿の原因となり、結果的に多量の水を含んだ膜となってしまう。

【0006】 実際に多層配線を形成する工程を図 3 を参照して説明する。まず第 0 の P-SiO<sub>2</sub> 膜 301 上に第 1 のメタル 302 を形成する（図 3（a））。その上に第 1 の P-SiO<sub>2</sub> 膜 303 を 1000 Å 形成する。その後、溶媒に溶かされた HSQ を塗布し、150℃、200℃、350℃ の 3 段階のバークを 1 分間ずつ行った後、400℃ の N<sub>2</sub> 雰囲気でのキュアを炉で行い、約 4000 Å の HSQ 焼成膜 304 を形成する。その後、第 2 の P-SiO<sub>2</sub> 膜 305 により、14000 Å の成膜を実施し、化学的機械研磨（以下、CMP という）で平坦化を行う（図 3（b））。

【0007】 次に、ビアホールを形成するためのフォトリソ 306 をパターンニングし（図 3（c））、CF 系ガスにより HSQ 焼成膜 304 とその上下層の第 1、2 の P-SiO<sub>2</sub> 膜 303、305 の開口を行う（図 3（d））。さらに、レジストを剥離するため O<sub>2</sub> プラズマアッシングを行い、PR 剥離を行う。

【0008】 このとき、図 3（e）に示すように、O<sub>2</sub> プラズマにより開口部でむき出しになっている HSQ 焼成膜 304 の Si-H 結合が Si-OH 結合部 307 に変化してしまい、その次の工程の PR 剥離工程で吸湿してしまうことになる。この吸湿した状態でビアプラグ 308 を形成すると（図 3（f））、ポイズンドビアが発生し、スルーホール抵抗異常となってしまう。

## 【0009】

【発明が解決しようとする課題】 上述のように、従来技術の問題点は、HSQ をキュアした膜が O<sub>2</sub> プラズマにさらされた場合吸湿してしまうということである。その理由は、HSQ をキュアした膜の表面近傍の Si-H 結合が O<sub>2</sub> プラズマにより Si-OH 結合へと変質し、吸湿サイトとなるからである。

【0010】 そこで、本発明の課題は、半導体集積回路の特に高集積多層配線構造で配線間容量を低下させるために低誘電率絶縁膜を使用する場合、多層配線構造の特にスルーホール抵抗と低誘電率膜の比誘電率の安定性の向上を図ることにある。

## 【0011】

【課題を解決するための手段】 本発明による半導体装置は、半導体素子を有する半導体基板上に絶縁膜を介して複数の配線が配設され、前記配線間及びその上部が SO

## 3

Gに直接または無機絶縁膜を介して覆われ、配線のスルーホール部に接するSOGがSi-OH結合を持たないようにしたことを特徴とする。

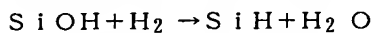
【0012】本発明による半導体装置の製造方法は、半導体基板上に第1の金属配線を形成する工程と、その上部にSOGを塗布、焼成する工程と、その上に無機絶縁膜を形成する工程と、前記第1の金属配線上に開口するためレジストを塗布露光、現像する工程と、前記無機絶縁膜及び前記SOGをエッチングする工程と、レジストをO<sub>2</sub> アッシング及びウェット剥離にて除去する工程と、少なくとも水素分子を含むプラズマにさらす工程とを含むことを特徴とする。

【0013】前記SOGは、水素化シルセスキオキサン及び、メチルシルセスキオキサン、有機SOG、ポリシラザンのうちの少なくとも一つであることが好ましい。

【0014】前記少なくとも水素分子を含むプラズマはPH<sub>3</sub>であることが好ましいが、B<sub>2</sub>H<sub>6</sub>、CH<sub>4</sub>、C<sub>2</sub>H<sub>6</sub>のなかの少なくとも一つから選ばれても良い。

【0015】

【作用】HSQを焼成した後、Si-H結合を多量にもっているが、O<sub>2</sub> プラズマにさらされると、その表面部分がSi-OH結合に変質してしまう。これに本発明の手段であるH<sub>2</sub> プラズマをさらすことにより、



という反応がすすみ、吸湿サイトであるSi-OH結合がなくなり、吸湿性の少ない膜となる。

【0016】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して詳細に説明する。図1を参照すると、本発明の最良の形態は、第0のP-SiO<sub>2</sub>膜101上の第1のメタル102上に第1のP-SiO<sub>2</sub>膜103が500~1000Å形成されており、その上にHSQ焼成膜104が塗布形成されている。その上に第2のP-SiO<sub>2</sub>膜105が形成され、CMPにて平坦化されている。

【0017】そして、その上に第2のメタル108が形成されており、第1のメタル102と第2のメタル108を接続するWプラグ107が形成されている。

【0018】本発明の特徴は、ビアホール側面部のHSQ部においては、Si-H結合部106があり、Si-OH結合は存在しない点にある。

【0019】第1、2のメタル102、108は、AlまたはCuで構成され、Cu、Si、Pdなどの不純物を含有してもよい。また、TiN、Ti、TiWなどのバリアメタルを上下に形成してもよい。また、ビアはW、Al、Cuで構成され、前記と同様に、TiN、Ti、TiWなどのバリアメタルを上下に形成してもよい。

【0020】第1、2のP-SiO<sub>2</sub>膜103、105は、SiH<sub>4</sub>系のSiO<sub>2</sub>またはTEOS系SiO<sub>2</sub>、

## 4

トリアルコキシラン系SiO<sub>2</sub>、高密度プラズマCVD法のSiO<sub>2</sub>のいずれでもよい。

【0021】

【実施例】次に本発明の実施例について図2を参照して詳細に説明する。図2において、本発明の第1の実施例は、第0のP-SiO<sub>2</sub>膜201上に第1のメタル202を形成した後(図2(a))、その上にTEOS、O<sub>2</sub>によるプラズマCVD法で第1のP-SiO<sub>2</sub>膜203を形成する。さらに、MIBK(メチルイソブチルケトン)を溶媒とするHSQ(ハイドロジェンシルセスキオキサン)を約3000rpmの回転で塗布し、150℃、200℃、350℃のN<sub>2</sub>雰囲気でのベークを行う。その後、縦型炉を使用してN<sub>2</sub>雰囲気中で400℃の温度でキュアを約60分施工して約4000ÅのHSQ焼成膜204を形成し、その上にTEOS、O<sub>2</sub>によりP-CVD法で第2のP-SiO<sub>2</sub>膜205を約14000Å形成し、CMP法によりメタルの上の膜厚が8000Å程度になるよう研磨を行う(図2(b))。なお、SOG(Silicon on Glass)としては、ハイドロジェンシルセスキオキサンに代えて、メチルシルセスキオキサン、有機SOG、ポリシラザンの中から少なくとも一つを選ぶようにしても良い。

【0022】次に、フォトレジスト206を塗布し(図2(c))、露光、現像を実施する。さらに、そのフォトレジスト206をマスクにして下の第2のP-SiO<sub>2</sub>膜205とHSQ焼成膜204、そして第1のP-SiO<sub>2</sub>膜203をエッチング加工する(図2(d))。レジストはO<sub>2</sub>プラズマ剥離及びウェット剥離で除去される。

【0023】ここで、(図2(e))に示すように、HSQ焼成膜204のエッチング加工によりスルーホール開口部207は、Si-H結合がO<sub>2</sub>プラズマによりSi-OH結合部208となり、その後のウェット処理で吸水してしまう。そして、次の工程のH<sub>2</sub>プラズマ処理を高密度プラズマ源のECRプラズマを使用したH<sub>2</sub>プラズマ処理10分でその部分のSi-OHがSi-H結合部209へと置き換わる。

【0024】次に、本発明の第2の実施例を説明する。第1の実施例と同じように、図2のプロセスフロー(e)まで行う。第1の実施例では、水素を用いたプラズマ処理を行っていたが、ここではPH<sub>3</sub>を用いた処理を行った。PH<sub>3</sub>中のPが反応に対し触媒として働き、より反応が促進されるため、水素の場合よりも効率がよくSi-OH結合からSi-H結合への変換が実施できる。

【0025】また、プラズマ処理時のその他のガスとしてB<sub>2</sub>H<sub>6</sub>ガス、CH<sub>4</sub>、C<sub>2</sub>H<sub>6</sub>の中から少なくとも1つ選べば、第1の実施例と同様の効果が得られる。

【0026】

【発明の効果】本発明によれば、スルーホール部のHS

Q焼成膜むき出し部分が、吸湿していないためスルーホール抵抗不良、ポイズンドビアが発生しないという効果が得られる。その理由は、スルーホール部のHSQ焼成膜むき出し部分がSi-OH結合をH<sub>2</sub>プラズマ処理によりSi-H結合に変化させることにより吸湿しないからである。

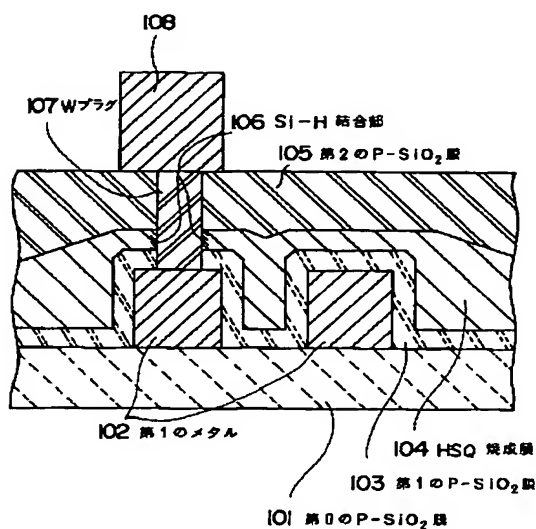
【図面の簡単な説明】

【図1】本発明による半導体装置の実施の形態を示す断面図である。

【図2】本発明による好ましい実施例の製造工程のプロセスフローを示した断面図である。

【図3】従来の半導体装置のプロセスフローを示した断面図である。

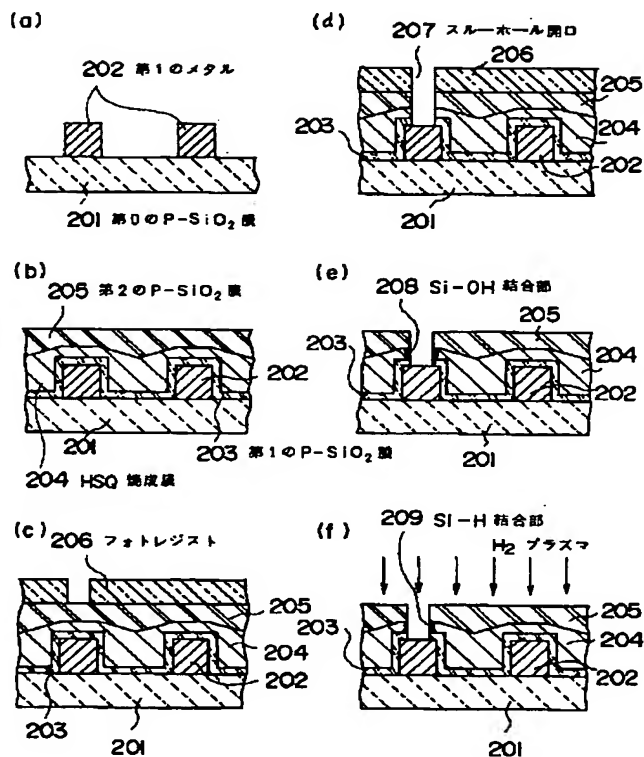
【図1】



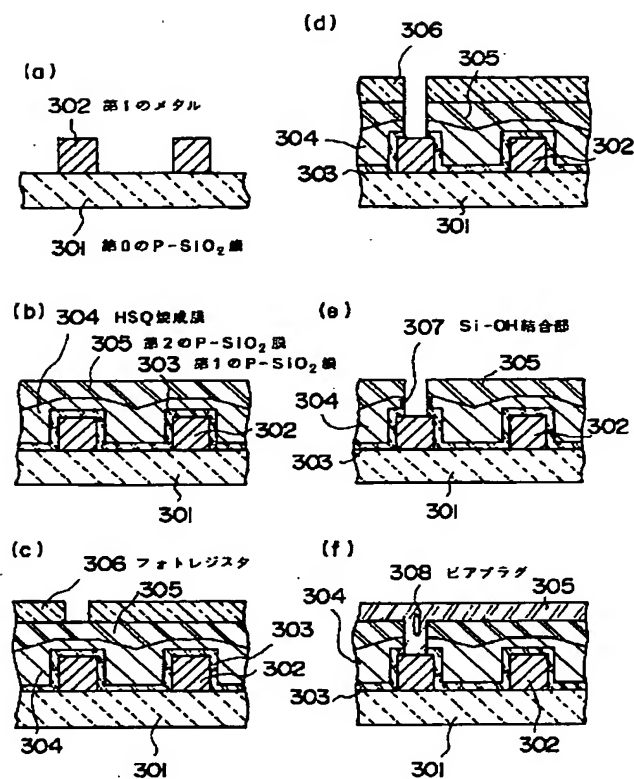
【符号の説明】

101、201、301	第0のP-SiO <sub>2</sub> 膜
102、202、302	第1の金属
103、203、303	第1のP-SiO <sub>2</sub> 膜
104、204、304	HSQ焼成膜
105、205、305	第2のP-SiO <sub>2</sub> 膜
106、209	Si-H結合部
107	Wプラグ
108	第2の金属
206、306	フォトレジスト
207	スルーホール開口
208、307	Si-OH結合部
308	ビアプラグ

【図2】



【図3】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/90

J